

⑫ 公開特許公報(A)

昭61-267369

⑮ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和61年(1986)11月26日

H 01 L 29/80

8122-5F

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 電界効果トランジスタ

⑰ 特 願 昭60-108121

⑱ 出 願 昭60(1985)5月22日

⑲ 発 明 者 梅 本 康 成 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑲ 発 明 者 小 寺 信 夫 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑲ 発 明 者 上 柳 喜 一 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑲ 発 明 者 橋 本 哲 一 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑱ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

発明の名称 電界効果トランジスタ

特許請求の範囲

1. ソース、ドレイン領域および能動層を形成する一方の導電型の少なくとも1つの第1の半導体層と、該第1の半導体層に接して形成された他方の導電型の半導体層であつて導電性を有する少なくとも1つ第2の半導体層と、該第2の半導体層に接続された電極を有することを特徴とする電界効果トランジスタ。
2. 特許請求の範囲第1項において、前記第2の半導体層を前記第1の半導体層の一部に接するよう形成したことを特徴とする電界効果トランジスタ。
3. 特許請求の範囲第1項又は第2項において、前記第2の半導体層は基板に形成されてなることを特徴とする電界効果トランジスタ。
4. 特許請求の範囲第3項において、前記ソース、ドレイン領域および能動層が複数個形成され、前記第2の半導体層を第1の半導体層に選択的

に形成したことを特徴とする電界効果トランジスタ。

5. 特許請求の範囲第1項又は第2項において、前記第2の半導体層は基板であることを特徴とする電界効果トランジスタ。
6. 特許請求の範囲第4項又は第5項において、前記第1および第2の半導体層は化合物半導体よりなることを特徴とする電界効果トランジスタ。
7. 特許請求の範囲第6項において、前記化合物半導体はGaAsであることを特徴とする電界効果トランジスタ。

発明の詳細な説明

〔発明の利用分野〕

本発明は電界効果トランジスタに係り、特に化合物半導体電界効果トランジスタに関する。

〔発明の背景〕

GaAs MESFET においては、第1図に示すように半絶縁性GaAs基板1とn型能動層2の間にp型の導電性を有する層(p型埋込み層3)を設

ける型のものが提案されている（公開特報 Vol. 6-16, 公技番号 81-4352）。

p 型埋込み層 3 の主たる役割は、短チャンネル効果の抑制（短チャンネル効果とは、ゲート長 L を短縮するに伴いしきい電圧が負の方向に大きくシフトする現象を言う。）にある。短チャンネル効果は、ソース側 n⁺ 層 5 から半絶縁性 GaAs 基板 1 に注入された電子がドレイン側 n⁺ 層 6 に流入するために現出する現象であり、言わば n 型能動層 2 を流れる電流経路以外に半絶縁性 GaAs 基板 1 中を流れる副次の電流経路が存在するためであると考えてよい。それゆえ、p 型埋込み層 3 の領域で高くなつた基板側の障壁は、電子の注入を抑制し、副次的な電流経路を消失せしめる。

p 型埋込み層 3 は、それを完全に空乏化させるために低濃度に、しかもその電位を制御する制御電圧を設けないよう設計するのが通例である。これは、n 型能動層 1 や n⁺ 層 5, 6 と p 型埋込み層 3 との間の寄生容量を低減し、素子の高速化を図るためである。

(3)

リセル中のノード（節）の電位の高低の形で保持される。そこに、 α 線が入射すると Si 基板中の飛跡に沿つて、 10^6 の電子と正孔の対が発生し、これらのキャリアが基板内を拡散あるいはドリフトして、容量やノードに流入する。そのために、容量に蓄積される電荷量やノードの電位が大きく変動し、保持されていた記憶情報が破壊される。上述した p 型埋込み層を配した GaAs MESFET を用いて構成した S RAM においても、同様の機構でソフト・エラーが発生するものと考えられる。

ここで銘記すべきことは、Si デバイスにおいては、 α 線の飛跡に沿つて発生したキャリアの総量が 10^6 ケであるとすれば、容量あるいはノードに流入する電荷の総量は高々 160 fC （発生したすべてのキャリアが流入した場合に相当する。）であり、 160 fC を越えることがないということである。

ところが、本発明者らは p 型埋込み層を配した GaAs MESFET のトランジスタ動作状態における測定を重ねた結果次のような事実を見出した。

(5)

ところが、このように設計した素子は α 線に弱いことを本発明者らは見出した。すなわち、このような素子を用いて構成した S RAM (Static Random Access Memory) は、 α 線が入射するたびに保持された記憶情報が破壊される（ソフト・エラー）。このようなソフト・エラーは、ター・シー・メイ [T. C. May] とエム・エイチ・ウツズ [M. H. Woods] により 1979 年に Si デバイスにおいて初めて見いだされたものである。（ター・シー・メイ・アンド・エム・エイチ・ウツズ、アイイーイーイー・トランザクション、エレクトロン・デバイス、ED-26 巻第 2 頁 1979 年 [T. C. May and M. H. Woods, IEEE Trans, Electron Device, ED-26, p2, 1979] 参照）

Si デバイスにおけるソフトエラーの発生機構は通常次のように考えられている。記憶情報は、DRAM (Dynamic Random Access Memory) の場合、メモリセルに配された容量に蓄積される電荷の有無の形で、また、S RAM の場合、メモ

(4)

すなわち、Si デバイスと事情を異にして、 160 fC の数倍の電荷量が α 線により発生し電極に流入した如くみえるという事実である。これは、p 型埋込み層を配した GaAs MESFET は、Si デバイスに比べて α 線耐性が小さいことを示すものであり、何らかのキャリア増倍機構が存在することを示唆するものである。

〔発明の目的〕

本発明の目的は、 α 線耐性の大きい電界効果トランジスタを提供することにある。

〔発明の概要〕

本発明は、前記目的を達成するため、ソース、ドレイン領域および能動層を形成する半導体層に、該半導体層と逆の導電型であり、かつ導電性を有する（完全には空乏化しない）半導体層を接して設け、該導電性を有する半導体層に電極を設けたことを特徴とする。

すなわち、上述のキャリア増倍機構のひとつとして、本発明者らは次のような機構があることを見出した。 α 線の入射に伴い基板中に発生する

(6)

正の電荷（正孔による）と負の電荷（電子による）の総量は、いずれも $1.60 \times 10^{11} \text{ fC}$ で等量である。また、p型埋込み層は完全に空乏化しているために、ドレインに電圧を印加した状態では、ドレインに始まりソースに終わる電気力線が走っており、これが発生した、キャリアのドリフトを促す。さらに、GaAs中のドリフト速度を決める移動度は、電子の方が正孔に比べて10倍以上大きい。したがって、電子がドレイン側に完全に吸収された後も、基板中に正孔が残留するという状態が実現する。このため基板側のポテンシャル障壁が下がり、ソース側からの電子の注入が促進され、副次的な電流経路が形成されドレイン側に新たな電流が流入するという短チャネル効果にみられた機構と同様な機構が働く。このようにして流入した電荷が 1.60 fC の数倍あり、キャリアの増倍として観測される。

本発明による素子構造では、このキャリアの増倍を抑制するために、例えば第2図に示すようにn型能動層12あるいはn⁺層15、16の下部

(7)

をp型としたために、正孔が基板中に残留しキャリアの増倍がおこる。ところが逆に、第1図において、2、5、6をp型とし、3をn型とした場合には、キャリアの増倍効果はおこらない。なぜなら、正孔が基板中に残留するためにソース側からの正孔の注入を抑止するからである。ところが、電極に流入する総電荷量は、最大 1.40 fC 程度あり（ α 線により発生する総電荷量にほぼ等しい）、ソフトエラーを回避するには依然大きい。

しかし、第2図に示す本発明の素子構造によれば、12、15、16をp型とし、13をn型とし、制御電極17を設けた場合、電極に流入する総電荷を低減することが可能である。なぜなら、電子はn層13を介して制御電極へ流出し、また、正孔はn層13の静電ポテンシャルによつてp層12、15、16に流入するのを妨げられるからである。

以上をまとめると、本発明による素子構造によれば、能動層がn型であり埋込み層がp型である場合には、キャリアの増倍が抑えられしかも、さ

(9)

に完全には空乏化しないp型埋込み層13を配し、その層の電位を制御する制御電極17を設けている。

このような素子構造によれば、上述のように正孔のみが基板中に残留し、基板側のポテンシャル障壁が低下するという現象を避けることができる。なぜなら、正孔はp型埋込み層13の中性領域（空乏化していない領域）を介して制御電極17に流出するからである。

したがって、ソース側からの電子の基板中への注入が抑制され、キャリアの増倍が抑えられる。

尚、集積回路中で α 線入射時のキャリア増倍効果の問題となる素子は限られており、回路中の不要な寄生容量を生じせしめず、回路の高速性を維持するためには問題となる素子に限って、第2図の如き素子構造を採用するのがよい。その観点から第2図の如く、p型埋込み層13を選択的に形成した素子構造の方が、全面にわたって形成する素子構造よりも望ましい。

また、第1図では、2、5、6をn型とし、3

(8)

らに、流入する総電荷量を α 線による発生電荷量よりも抑えることができる。逆に、能動層がp型であり、埋込み層がn型である場合にも流入する総電荷量を α 線による発生電荷量よりも抑えることができる。即ち、本発明による素子構造によれば、 α 線耐性を大きくすることができる。

〔発明の実施例〕

以下、本発明の実施例を第3図～第7図により説明する。

第3図に第2図と同様の電界効果トランジスタを示す。半絶縁性GaAs基板31上にイオン打込みとその後の高温熱処理工程によりp型埋込み層33、n型能動層32、n⁺層35、36を形成する。p型埋込み層33のイオン打込みは、Be、Mg、C、Znのいずれを用いてもよく、打込みエネルギーは、n型能動層32やn⁺層35、36の形成条件に依存するが、通常 $70 \text{ KeV} \sim 300 \text{ KeV}$ の範囲の中で選択し、ドーズ量は完全には空乏化しない条件を満足するために、打込みエネルギーに依存するが通常 1.0^{11} cm^{-2} 以上の

(10)

範囲の中で選択する。高温熱処理は、通常700℃～850℃の温度で行なり。ソース電極39、ドレイン電極40、ゲート電極38は通常のリフトオフ法で形成する。p型埋込み層33の制御電極37は、p型GaAs層にオーミック接触をなす金属であればよく、Cr、AuZn等のいずれを用いてもよい。

本実施例によれば、前述の如く α 線により発生するキャリアの増倍を抑制することができる。

第4図に第2の実施例を示す。本実施例は第3図の実施例の改良である。制御電極37の下部にp型埋込み層33より高濃度のp⁺層41を設ける。p⁺層41は、Mg、Be、C、Znのうちいずれかの高ドーズイオン打込みと高温熱処理工程あるいは、Znの絶縁膜をマスクとする選択拡散工程により形成する。イオン打込みの場合、打込みエネルギーは、通常10KeV～300KeVの間で選択し、ドーズ量は、通常 $10^{13}cm^{-2}$ 以上の範囲で選択する。また、Znの選択拡散の場合には、表面濃度を $10^{18}cm^{-3}$ とするために800

(11)

本実施例によれば、第3図、第4図の実施例と同様にキャリアの増倍を抑制できる上に、さらにそれらに比べ素子面積を減少でき高集積化を可能とする。

前述のように集積回路中で α 線入射時のキャリア増倍効果の問題となる素子は限られており、回路中の不要な寄生容量を生じせしめず、回路の高速性を維持するためには、問題となる素子に限って第3図～第5図の如き素子構造を採用するのがよい。その観点から、第3図～第5図の実施例のように、p型埋込み層33を選択的に形成した素子構造は望ましい。

第6図に第4の実施例を示す。本実施例は第3図の実施例の改良である。前述のように集積回路の高速性を維持するためには寄生容量は可能な限り排除することが望ましい。第6図は、ドレイン側のn⁺層36とp型埋込み層33との間の寄生容量を低減するために、n⁺層下部にp型埋込み層を設けない構造を示している。 α 線入射時のキャリア増倍効果抑制のためには、n⁺層35ある

(13)

70℃以上の高温で拡散する。

本実施例によれば、制御電極37とp型埋込み層33の接触抵抗をひとけた下げることができ、キャリアの増倍効果を第3図に比べさらに低減することができる。また、第3図ではp型の層33にオーミック接触をとるために制御電極37は、ソース電極39やドレイン電極40に用いる金属（例えば、AuGe等n型の層にオーミック接触をとる金属）とは別種の金属（例えば、CrやAuZn）を用いる必要があるが、本実施例によれば、p⁺層41が高濃度のためソース電極39やドレイン電極40の金属と同種、あるいは、ゲート電極38の金属と同種の金属を用いてもオーミック接触を実現でき、制御電極37を形成するための工程を省くことができ、工程を簡略化できる。

第5図に第3の実施例を示す。本実施例は第4図の実施例の改良である。ソース側のn⁺層35に隣接して高濃度のp⁺層41を設け、ソース電極39をn⁺層35上とp⁺層41上に同時に配置する。

(12)

いはn⁺層36あるいはn型能動層32のいずれかひとつの下部の全体あるいは、部分にp型埋込み層33が設けられていることが最低条件であり、p型埋込み層33をどのように配するかは、集積回路の速度をどのように設計するかで決まる。

第7図に第5の実施例を示す。p型GaAs基板53上にイオン打込みとその後の熱処理工程によりn型能動層52、n⁺層55、56を形成する。p型基板53の濃度は、基板が完全には空乏化しないために $10^{18}cm^{-3}$ 以上の範囲から選択する。ソース電極59、ドレイン電極60、ゲート電極58は通常のリフトオフ法で形成する。p型基板53の制御電極57は、p型GaAsにオーミック接触をなす金属であればよく、Cr、AuZn等のいずれを用いてもよい。

本実施例によれば、第3図と同様に α 線により発生するキャリアの増倍を抑制することができる。また、第3図のp型埋込み層33を形成する工程を省略でき、工程を簡略化できる。

第3図～第7図では、埋込み層や基板をp型と

(14)

して、また、能動層をn型として説明したが、それぞれが逆の導電性を有している場合には、 α 線入射時のキャリアの流入を発生電荷量よりも抑制できる。

また、GaAsにだけ限定して説明したが、InPやGaAlAs, InGaAs, InGaAsP 等の化合物半導体でも本発明の素子構造によりキャリアの増倍効果を抑制できることは言うまでもない。なぜなら、化合物半導体は一般に電子の移動度は正孔の移動度と比べて約1ケタ大きいため、正孔がいつも基板内に残留するからである。

Si, Geの基板については、キャリア増倍効果そのものが小さいが、同様にそれを抑制できることは言うまでもない。

〔発明の効果〕

以上説明した如く、本発明によれば α 線入射時のキャリアの増倍効果を抑制でき、従来に比べ α 線耐性を大きくすることができる。

図面の簡単な説明

第1図は従来の電界効果トランジスタの断面構

(15)

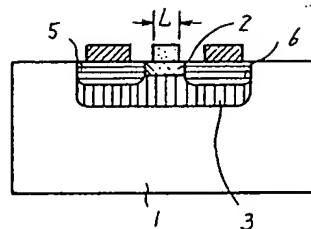
造図、第2図は本発明による電界効果トランジスタの断面構造図、第3図～第7図は本発明の実施例の断面構造図である。

11…半絶縁性GaAs基板、12…n型能動層、13…p型埋込み層、15, 16…n⁺層、17…制御電極、18…ゲート電極、19…ソース電極、20…ドレイン電極。

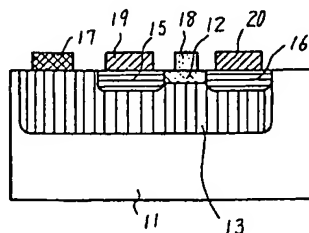
代理人 弁理士 小川勝男



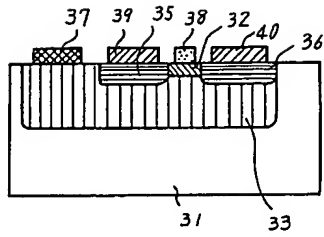
第 1 図



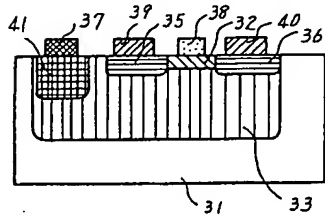
第 2 図



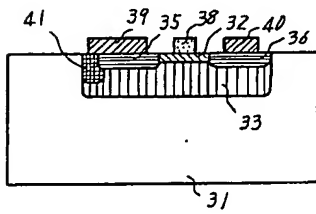
第 3 図



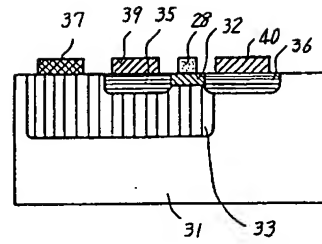
第 4 図



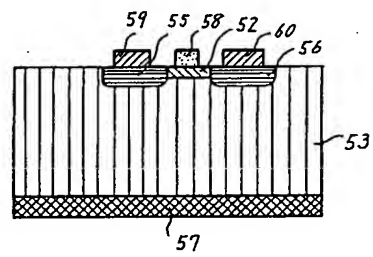
第 5 図



第 6 図



第 7 図



ABSTRACT

PURPOSE: To suppress a multiplication effect of carriers at the time of alpha-ray incidence and increase an alpha-ray resistance by a method wherein a source region, a drain region and an activation layer are composed of semiconductor layers and a conductive semiconductor layers, whose conductive type is opposite to those of the semiconductor layers mentioned above, is provided so as to be contacted with the semiconductor layers and an electrode is provided on the conductive semiconductor layer.

CONSTITUTION: A P-type buried layer 33, an N-type activation layer 32 and N<+> type layers 35 and 36 are formed on a semi-insulating GaAs substrate 31 by ion implantation and a high-temperature heat treatment process. Ions of any one of Be, Mg, C and Zn may be implanted to form the P-type buried layer 33 and its dosage must be so determined as to satisfy the condition with which the P-type buried layer 33 is not completely depleted. A source electrode 39, a drain electrode 40 and a gate electrode 38 are formed and a control electrode 37, which controls the potential of the P-type buried layer 33 which is not completely depleted, is provided. Positive holes are drawn out by the control electrode 17 through the neutral region (the region which is not depleted) of the P-type buried layer 33 and migration of electrons from the source side into the substrate is suppressed so that a multiplication of carriers is suppressed.

CLAIMS

No Claims were found.

DESCRIPTION

Text Not Available.